

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Takashi SAIKI et al.**

Serial Number: **Not Yet Assigned**

Filed: **March 16, 2004**

For: **SEMICONDUCTOR DEVICE AND METHOD OF FABRICATING THE SAME**

Attorney Docket No. **042193**

Customer No.: **38834**

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
P. O. Box 1450
Alexandria, VA 22313-1450

March 16, 2004

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:


Japanese Appln. No. 2003-373499, filed on October 31, 2003

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 50-2866.

Respectfully submitted,
WESTERMAN, HATTORI, DANIELS & ADRIAN, LLP


John P. Kong
Reg. No. 40,054

1250 Connecticut Avenue, N.W., Suite 700
Washington, D.C. 20036
Tel: (202) 822-1100
Fax: (202) 822-1111
JPK/yap

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 0 月 3 1 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 3 7 3 4 9 9
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 3 7 3 4 9 9]

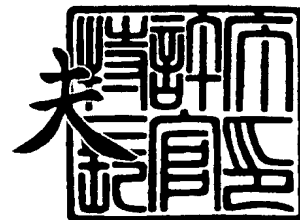
出 願 人 富 士 通 株 式 会 社
Applicant(s):



2 0 0 4 年 1 月 2 6 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫





【書類名】 特許願
【整理番号】 0340843
【提出日】 平成15年10月31日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 21/00
【発明者】
 【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社
 内
 【氏名】 齋木 孝志
【発明者】
 【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社
 内
 【氏名】 大田 裕之
【発明者】
 【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社
 内
 【氏名】 金田 博幸
【特許出願人】
 【識別番号】 000005223
 【氏名又は名称】 富士通株式会社
【代理人】
 【識別番号】 100090273
 【弁理士】
 【氏名又は名称】 國分 孝悦
 【電話番号】 03-3590-8901
【手数料の表示】
 【予納台帳番号】 035493
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 9908504

【書類名】 特許請求の範囲**【請求項 1】**

半導体領域上に絶縁膜を介して形成されたゲートと、
前記半導体領域の表層において、前記ゲートに整合して形成されてなる第 1 の不純物拡散領域と、
前記表層において、前記ゲートから離間して形成されてなる第 3 の不純物拡散領域と、
前記表層において、前記ゲートから前記第 3 の不純物拡散領域を介して離間し、前記第 3 の不純物拡散領域により前記第 1 の不純物拡散領域から隔てられてなる第 2 の不純物拡散領域と
を含み、
前記第 3 の不純物拡散領域は、前記第 2 の不純物拡散領域の不純物の拡散を抑制する拡散抑制元素を含み形成されていることを特徴とする半導体装置。

【請求項 2】

前記ゲートの両側面に形成された第 1 のサイドウォールと、
前記ゲートの両側面で前記第 1 のサイドウォールを覆うように形成された第 2 のサイドウォールと
を更に含み、
前記第 1 のサイドウォールに整合して前記第 3 の不純物拡散領域が形成されているとともに、前記第 2 のサイドウォールに整合して前記第 2 の不純物拡散領域が形成されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記半導体領域の表層において、前記ゲートに整合して形成されてなり、前記第 1 及び第 2 の不純物拡散領域の不純物と反対導電型の不純物を含み形成されてなる第 4 の不純物拡散領域を更に含むことを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 4】

前記拡散抑制元素は、前記第 1 及び第 2 の不純物拡散領域の不純物が n 型不純物である場合には、砒素 (As)、ゲルマニウム (Ge)、窒素 (N)、フッ素 (F) 及び炭素 (C) から選ばれた少なくとも 1 種であることを特徴とする請求項 1～3 のいずれか 1 項に記載の半導体装置。

【請求項 5】

前記拡散抑制元素は、前記第 1 及び第 2 の不純物拡散領域の不純物が p 型不純物である場合には、ゲルマニウム (Ge)、窒素 (N)、フッ素 (F)、炭素 (C) 及びインジウム (In) から選ばれた少なくとも 1 種であることを特徴とする請求項 1～3 のいずれか 1 項に記載の半導体装置。

【請求項 6】

半導体領域上に絶縁膜を介してゲート形成する工程と、
前記ゲートをマスクとして前記半導体領域の表層に不純物を導入し、第 1 の不純物拡散領域を形成する工程と、
前記ゲートの両側面に第 1 のサイドウォールを形成する工程と、
前記ゲート及び前記第 1 のサイドウォールをマスクとして前記半導体領域の表層に拡散抑制元素を導入し、アモルファス状態の第 3 の不純物拡散領域を形成する工程と、
前記ゲートの両側面で前記第 1 のサイドウォールを覆うように第 2 のサイドウォールを形成する工程と、
前記ゲート、前記第 1 及び第 2 のサイドウォールをマスクとして前記半導体領域の表層に前記第 1 の不純物拡散領域よりも深く不純物を導入し、第 2 の不純物拡散領域を形成する工程と
を含むことを特徴とする半導体装置の製造方法。

【請求項 7】

前記ゲート及び前記第 1 のサイドウォールをマスクとして前記半導体領域の表層に前記第 1 及び第 2 の不純物拡散領域の不純物と反対導電型の不純物を導入し、第 4 の不純物拡

散領域を形成する工程を更に含むことを特徴とする請求項 6 に記載の半導体装置の製造方法。

【請求項 8】

前記第 1 の不純物拡散領域の不純物を活性化させない程度の第 1 の温度で形成できる材料を用い、前記第 1 の温度で前記第 1 のサイドウォールを形成することを特徴とする請求項 6 又は 7 に記載の半導体装置の製造方法。

【請求項 9】

前記第 3 の不純物拡散領域を再結晶化させない程度の第 2 の温度で形成できる材料を用い、前記第 2 の温度で前記第 2 のサイドウォールを形成することを特徴とする請求項 6 ～ 8 のいずれか 1 項に記載の半導体装置の製造方法。

【書類名】明細書

【発明の名称】半導体装置及びその製造方法

【技術分野】

【0001】

本発明は、ゲート及びソース／ドレインを有する半導体装置及びその製造方法に関する。

【背景技術】

【0002】

近時では、半導体装置の更なる微細化が要求されており、例えばエクステンション構造のMOSトランジスタでは、深接合であるソース／ドレインを浅く形成する工夫がなされている。

具体的には、n型MOSトランジスタを形成する技術としては、ゲート電極及びサイドウォールをマスクとして砒素（As）をイオン注入して表面を非晶質（アモルファス）状態にしておき、続いて同じマスクを用いてアモルファス部位にリン（P）をイオン注入してn型ソース／ドレインを形成する（特許文献1参照）。また、p型MOSトランジスタを形成する技術としては、ゲート電極及びサイドウォールをマスクとしてシリコン（Si）をイオン注入して表面を非晶質（アモルファス）状態にしておき、続いて同じマスクを用いてアモルファス部位にホウ素（B）をイオン注入してp型ソース／ドレインを形成する（特許文献2参照）。

【0003】

【特許文献1】特開平9-365060号公報

【特許文献2】特開昭59-137193号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

上述の技術を用いて、ソース／ドレイン形成前にその形成部位をアモルファス化させておくことにより、接合を比較的浅くすることはできる。しかしながら、半導体装置の更なる微細化が進むにつれて、ソース／ドレインの不純物の横方向への拡散抑制の要求が益々厳しくなっている。そして、微細化と共に高性能化の要求も満たすことが必須である。先ず、ジャンクションリークを低減させるには、深接合のソース／ドレインをある程度の深さに維持しなければならない。更に、コンタクト抵抗及びシート抵抗を低減させるには、ソース／ドレインをより高濃度に形成することが必要である。そのため、横方向拡散が必然的に大きくなり、エクステンション領域まで拡散してしまい、ロールオフ特性が悪化するという問題がある。

【0005】

本発明は、上記の問題に鑑みてなされたものであり、ソース／ドレインの横方向拡散を確実に抑止し、更なる微細化及び高性能化の要請を満たし、信頼性の高い半導体装置及びその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0006】

本発明の半導体装置は、半導体領域上に絶縁膜を介して形成されたゲートと、前記半導体領域の表層において、前記ゲートに整合して形成されてなる第1の不純物拡散領域と、前記表層において、前記ゲートから離間して形成されてなる第3の不純物拡散領域と、前記表層において、前記ゲートから前記第3の不純物拡散領域を介して離間し、前記第3の不純物拡散領域により前記第1の不純物拡散領域から隔てられてなる第2の不純物拡散領域とを含み、前記第3の不純物拡散領域は、前記第2の不純物拡散領域の不純物の拡散を抑制する拡散抑制元素を含み形成されている。

【0007】

本発明の半導体装置の製造方法は、半導体領域上に絶縁膜を介してゲート形成する工程と、前記ゲートをマスクとして前記半導体領域の表層に不純物を導入し、第1の不純物拡

散領域を形成する工程と、前記ゲートの両側面に第1のサイドウォールを形成する工程と、前記ゲート及び前記第1のサイドウォールをマスクとして前記半導体領域の表層に拡散抑制元素を導入し、アモルファス状態の第3の不純物拡散領域を形成する工程と、前記ゲートの両側面で前記第1のサイドウォールを覆うように第2のサイドウォールを形成する工程と、前記ゲート、前記第1及び第2のサイドウォールをマスクとして前記半導体領域の表層に前記第1の不純物拡散領域よりも深く不純物を導入し、第2の不純物拡散領域を形成する工程とを含む。

【発明の効果】

【0008】

本発明によれば、ソース／ドレインの横方向拡散を確実に抑止し、更なる微細化及び高性能化の要請を満たし、信頼性の高い半導体装置を実現することができる。

【発明を実施するための最良の形態】

【0009】

ー本発明の基本骨子ー

初めに、本発明の基本骨子について説明する。

本発明者は、エクステンション構造のMOSトランジスタにおいて、深接合のソース／ドレインをある程度深さを確保して高濃度に形成するも、ソース／ドレインの横方向拡散を確実に抑止すべく、エクステンション領域（第1の領域）とソース／ドレイン（第2の領域）との間に、両者を隔てるように拡散抑制領域を設けることに想到した。

【0010】

従来のMOSトランジスタでは、図1（a）に示すように、半導体領域、ここでは半導体基板1に形成されたゲート電極2をマスクとしたイオン注入によりエクステンション領域3を、続いてゲート電極2及び第1のサイドウォール4をマスクとしてソース／ドレイン5を形成しており、図中矢印Aで示すようにソース／ドレイン5から不純物の横方向拡散が生じてしまう。

【0011】

これに対して本発明のMOSトランジスタでは、図1（b）に示すように、ゲート電極2をマスクとしたイオン注入によりエクステンション領域3を形成した後、ゲート電極2及び第1のサイドウォール4をマスクとして、ソース／ドレイン5の不純物の拡散抑制機能を有する物質（拡散抑制元素）をイオン注入し、半導体基板1の表層のサイドウォール4に整合する部位を非晶質化してアモルファス状態の拡散抑制領域6を形成する。そして、ゲート電極2、第1のサイドウォール4及び第2のサイドウォール7をマスクとしたイオン注入により、前記表層の第2のサイドウォール7に整合する部位にソース／ドレイン5を形成する。

【0012】

拡散抑制元素としては、エクステンション領域3及びソース／ドレイン5の不純物がn型不純物である場合には、砒素（As）、ゲルマニウム（Ge）、窒素（N）、フッ素（F）及び炭素（C）から選ばれた少なくとも1種を、エクステンション領域3及びソース／ドレイン5の不純物がp型不純物である場合には、ゲルマニウム（Ge）、窒素（N）、フッ素（F）、炭素（C）及びインジウム（In）から選ばれた少なくとも1種をそれぞれ用いることが好適である。

【0013】

このようにして、エクステンション領域3とソース／ドレイン4とが拡散抑制領域6で隔てられ、ソース／ドレインからの不純物の横方向拡散が拡散抑制領域6で確実に抑止される。従って、ソース／ドレインの比較的深く高不純物濃度に形成して、ロールオフ特性を劣化させることなく、ジャンクションリークの低減及びコンタクト抵抗及びシート抵抗の低減を可能とし、MOSトランジスタの更なる微細化及び高性能化を実現することができる。

【0014】

ー本発明の具体的な実施形態ー

以下、本発明の具体的な実施形態について図面を参照しながら詳細に説明する。ここでは、半導体装置としてCMOSトランジスタを例示し、便宜上その構成を製造方法と共に述べる。

【0015】

図2～図5は、本実施形態によるCMOSトランジスタの製造方法を工程順に示す概略断面図である。

先ず、図2(a)に示すように、p型のシリコン半導体基板11の素子分離領域に素子分離構造、ここでは素子分離領域に溝を形成し、絶縁材料で埋め込むSTI(Shallow Trench Isolation)法による素子分離構造12を形成し、活性領域13a、13bを画定する。ここで、活性領域13aがnMOSトランジスタの形成領域、活性領域13bがpMOSトランジスタの形成領域となる。そして、活性領域13aにはp型不純物、活性領域13bにはn型不純物をそれぞれイオン注入し、p型ウェル14a及びn型ウェル14bをそれぞれ形成する。

【0016】

続いて、図2(b)に示すように、p型ウェル14a及びn型ウェル14bの表面に酸化法によりシリコン酸化からなるゲート絶縁膜15を形成した後、CVD法により多結晶シリコン膜を堆積し、この多結晶シリコン膜(及びゲート絶縁膜15)をフォトリソグラフィ及びそれに続くドライエッチングにより加工して、ゲート電極16をパターン形成する。なお、ゲート絶縁膜15はシリコン酸化膜で形成しても良い。

【0017】

続いて、先ず活性領域13aにエクステンション領域及びポケット領域を形成する。

具体的には、図2(c)に示すように、活性領域13bをフォトレジスト31で覆い、ゲート電極16及びフォトレジスト31をマスクとして、活性領域13aの表層にn型不純物、ここでは砒素(As)を加速エネルギーが1keV～5keV、ドーズ量が $5 \times 10^{14} / \text{cm}^2 \sim 2 \times 10^{15} / \text{cm}^2$ 、傾斜角(基板表面における法線からの傾斜角度)が 0° の注入条件でイオン注入して、エクステンション領域17aを形成する。

【0018】

続いて、同様にゲート電極16及びフォトレジスト31をマスクとして、活性領域13aの表層にp型不純物、ここではインジウム(In)を加速エネルギーが30keV～100keV、ドーズ量が $5 \times 10^{12} / \text{cm}^2 \sim 1.5 \times 10^{13} / \text{cm}^2$ 、傾斜角が $0^\circ \sim 45^\circ$ の注入条件で4方向からイオン注入(4回のイオン注入)して、ポケット領域18aを形成する。その後、フォトレジスト31を灰化处理等により除去する。

【0019】

続いて、今度は活性領域13bにエクステンション領域及びポケット領域を形成する。

具体的には、図3(a)に示すように、活性領域13aをフォトレジスト32で覆い、ゲート電極16及びフォトレジスト32をマスクとして、活性領域13bの表層にp型不純物、ここではホウ素(B)を加速エネルギーが0.1keV～1keV、ドーズ量が $5 \times 10^{14} / \text{cm}^2 \sim 2 \times 10^{15} / \text{cm}^2$ 、傾斜角が 0° の注入条件でイオン注入して、エクステンション領域17bを形成する。

【0020】

続いて、同様にゲート電極16及びフォトレジスト32をマスクとして、活性領域13bの表層にn型不純物、ここではアンチモン(Sb)を加速エネルギーが30keV～100keV、ドーズ量が $5 \times 10^{12} / \text{cm}^2 \sim 1.5 \times 10^{13} / \text{cm}^2$ 、傾斜角が $0^\circ \sim 45^\circ$ の注入条件で4方向からイオン注入(4回のイオン注入)して、ポケット領域18bを形成する。その後、フォトレジスト32を灰化处理等により除去する。

【0021】

続いて、図3(b)に示すように、活性領域13a、13bを含む半導体基板1の全面に絶縁膜を堆積し、このシリコン酸化膜の全面を異方性ドライエッチング(エッチバック)して、ゲート電極16の両側面のみにシリコン酸化膜を堆積し、膜厚10nm～50nm程度に第1のサイドウォール19を形成する。ここで、第1のサイドウォール19の絶

縁膜は、事前に形成したエクステンション領域17a, 17b及びポケット領域18a, 18bの不純物が拡散しない程度の温度条件による熱処理で成膜できる絶縁材料を用い、当該温度で成膜することが好適である。具体的には、例えばBTBAS (Bis Tertiary-Butylamino Silane: ビスターシャルブチルアミノシラン) 及び酸素を原料として用い、熱CVD法により500℃~580℃の範囲内の成膜温度、5分~20分間の成膜時間でシリコン酸化膜を形成する。

【0022】

続いて、先ず活性領域13aに拡散抑制領域を形成する。

具体的には、図3(c)に示すように、活性領域13bをフォトレジスト33で覆い、ゲート電極16、第1のサイドウォール19及びフォトレジスト33をマスクとして、活性領域13aの表層に拡散抑制元素、ここではここでは砒素(As)を加速エネルギーが3keV~15keV、ドーズ量が $5 \times 10^{14} / \text{cm}^2 \sim 3 \times 10^{15} / \text{cm}^2$ 、傾斜角が0°の注入条件でイオン注入して、アモルファス状態の拡散抑制領域20aを形成する。その後、フォトレジスト33を灰化处理等により除去する。

【0023】

続いて、今度は活性領域13bに拡散抑制領域を形成する。

具体的には、図4(a)に示すように、活性領域13aをフォトレジスト34で覆い、ゲート電極16、第1のサイドウォール19及びフォトレジスト34をマスクとして、活性領域13bの表層に拡散抑制元素、ここではここではゲルマニウム(Ge)を加速エネルギーが3keV~15keV、ドーズ量が $5 \times 10^{14} / \text{cm}^2 \sim 3 \times 10^{15} / \text{cm}^2$ 、傾斜角が0°の注入条件でイオン注入して、アモルファス状態の拡散抑制領域20bを形成する。このとき、Geに加えて例えば砒素(As)等のp型不純物をイオン注入するようにしても良い。その後、フォトレジスト34を灰化处理等により除去する。

【0024】

続いて、図4(b)に示すように、活性領域13a, 13bを含む半導体基板1の全面に絶縁膜を堆積し、このシリコン酸化膜の全面を異方性ドライエッチング(エッチバック)して、ゲート電極16の両側面のみに第1のサイドウォール19を覆うようにシリコン酸化膜を堆積し、膜厚50nm~100nm程度に第2のサイドウォール21を形成する。ここで、第2のサイドウォール21の絶縁膜は、事前に形成した拡散抑制領域20a, 20bが再結晶化しない程度の温度条件による熱処理で成膜できる絶縁材料を用い、当該温度で成膜することが好適である。具体的には、例えばBTBAS (Bis Tertiary-Butylamino Silane: ビスターシャルブチルアミノシラン) 及び酸素を原料として用い、熱CVD法により500℃~580℃の範囲内の成膜温度、5分~20分間の成膜時間でシリコン酸化膜を形成する。

【0025】

続いて、先ず活性領域13aに深接合となるソース/ドレインを形成する。

具体的には、図4(c)に示すように、活性領域13bをフォトレジスト35で覆い、ゲート電極16、第1のサイドウォール19、第2のサイドウォール21及びフォトレジスト35をマスクとして、活性領域13aの表層にn型不純物、ここではリン(P)を加速エネルギーが4keV~10keV、ドーズ量が $4 \times 10^{15} / \text{cm}^2 \sim 1.5 \times 10^{16} / \text{cm}^2$ 、傾斜角が0°の注入条件で高濃度にイオン注入して、ソース/ドレイン22aを形成する。ここで、Pの注入前に例えばゲルマニウム(Ge)をイオン注入するようにしても良い。その後、フォトレジスト35を灰化处理等により除去する。

【0026】

続いて、今度は活性領域13bに深接合となるソース/ドレインを形成する。

具体的には、図5(a)に示すように、活性領域13aをフォトレジスト36で覆い、ゲート電極16、第1のサイドウォール19、第2のサイドウォール21及びフォトレジスト36をマスクとして、活性領域13bの表層にp型不純物、ここではホウ素(B)を加速エネルギーが2keV~5keV、ドーズ量が $4 \times 10^{15} / \text{cm}^2 \sim 1.5 \times 10^{16} / \text{cm}^2$ 、傾斜角が0°の注入条件で高濃度にイオン注入して、ソース/ドレイン22b

を形成する。ここで、Bの注入前に例えばゲルマニウム (Ge) をイオン注入するようにしても良い。その後、フォトレジスト36を灰化处理等により除去する。

【0027】

続いて、1000℃～1070℃、N₂雰囲気でスパイクアニール処理を実行し、イオン注入したn型不純物及びp型不純物を活性化する。

【0028】

続いて、図5(b)に示すように、全面にシリサイド金属、例えばCo又はNiを堆積し、熱処理によりシリコンと反応させてシリサイド化して、ゲート電極16上及びソース／ドレイン22a, 22b上にCoSi又はNiSiとなるシリサイド層23を形成する。その後、未反応のシリサイド金属を除去する。

【0029】

しかる後、全面を覆う層間絶縁膜の形成、各種配線プロセス等を経て、MOSトランジスタを完成させる。

【0030】

上述のように製造されたゲート長40nmのMOSトランジスタを用いて、各種のトランジスタ特性について調べた結果を以下で説明する。

図6はゲート長 L_g と閾値電圧 V_{th} との関係によるロールオフ特性を、図7は拡散抑制領域の深さと C_{ovn} との関係による C_{ov} 特性を、図8はオン電流(I_{on})とオフ電流(I_{off})との関係による $I_{on}-I_{off}$ 特性をそれぞれ示す。拡散抑制領域の導入によりロールオフ特性が改善され、 C_{ov} も減少を示し、第2のサイドウォール下の寄生抵抗低減が低減して駆動電流が改善されていることが判る。

【0031】

以下、本発明の諸態様を付記としてまとめて記載する。

【0032】

(付記1)

半導体領域上に絶縁膜を介して形成されたゲートと、

前記半導体領域の表層において、前記ゲートに整合して形成されてなる第1の不純物拡散領域と、

前記表層において、前記ゲートから離間して形成されてなる第3の不純物拡散領域と、

前記表層において、前記ゲートから前記第3の不純物拡散領域を介して離間し、前記第3の不純物拡散領域により前記第1の不純物拡散領域から隔てられてなる第2の不純物拡散領域と

を含み、

前記第3の不純物拡散領域は、前記第2の不純物拡散領域の不純物の拡散を抑制する拡散抑制元素を含み形成されていることを特徴とする半導体装置。

【0033】

(付記2)

前記ゲートの両側面に形成された第1のサイドウォールと、

前記ゲートの両側面で前記第1のサイドウォールを覆うように形成された第2のサイドウォールと

を更に含み、

前記第1のサイドウォールに整合して前記拡散抑制領域が形成されているとともに、前記第2のサイドウォールに整合して前記第2の不純物拡散領域が形成されていることを特徴とする付記1に記載の半導体装置。

【0034】

(付記3)

前記半導体領域の表層において、前記ゲートに整合して形成されてなり、前記第1及び第2の不純物拡散領域の不純物と反対導電型の不純物を含み形成されてなる第4の不純物拡散領域を更に含むことを特徴とする付記1又は2に記載の半導体装置。

【0035】

(付記 4)

前記拡散抑制元素は、前記第 1 及び第 2 の不純物拡散領域の不純物が n 型不純物である場合には、砒素 (As)、ゲルマニウム (Ge)、窒素 (N)、フッ素 (F) 及び炭素 (C) から選ばれた少なくとも 1 種であることを特徴とする付記 1～3 のいずれか 1 項に記載の半導体装置。

【0036】

(付記 5)

前記拡散抑制元素は、前記第 1 及び第 2 の不純物拡散領域の不純物が p 型不純物である場合には、ゲルマニウム (Ge)、窒素 (N)、フッ素 (F)、炭素 (C) 及びインジウム (In) から選ばれた少なくとも 1 種であることを特徴とする付記 1～3 のいずれか 1 項に記載の半導体装置。

【0037】

(付記 6)

半導体領域上に絶縁膜を介してゲート形成する工程と、

前記ゲートをマスクとして前記半導体領域の表層に不純物を導入し、第 1 の不純物拡散領域を形成する工程と、

前記ゲートの両側面に第 1 のサイドウォールを形成する工程と、

前記ゲート及び前記第 1 のサイドウォールをマスクとして前記半導体領域の表層に拡散抑制元素を導入し、アモルファス状態の第 3 の不純物拡散領域を形成する工程と、

前記ゲートの両側面で前記第 1 のサイドウォールを覆うように第 2 のサイドウォールを形成する工程と、

前記ゲート、前記第 1 及び第 2 のサイドウォールをマスクとして前記半導体領域の表層に前記第 1 の不純物拡散領域よりも深く不純物を導入し、第 2 の不純物拡散領域を形成する工程と、

を含むことを特徴とする半導体装置の製造方法。

【0038】

(付記 7)

前記ゲート及び前記第 1 のサイドウォールをマスクとして前記半導体領域の表層に前記第 1 及び第 2 の不純物拡散領域の不純物と反対導電型の不純物を導入し、第 4 の不純物拡散領域を形成する工程を更に含むことを特徴とする付記 6 に記載の半導体装置の製造方法。

【0039】

(付記 8)

前記拡散抑制元素は、前記第 1 及び第 2 の不純物拡散領域の不純物が n 型不純物である場合には、砒素 (As)、ゲルマニウム (Ge)、窒素 (N)、フッ素 (F) 及び炭素 (C) から選ばれた少なくとも 1 種であることを特徴とする付記 6 又は 7 に記載の半導体装置の製造方法。

【0040】

(付記 9)

前記拡散抑制元素は、前記第 1 及び第 2 の不純物拡散領域の不純物が p 型不純物である場合には、ゲルマニウム (Ge)、窒素 (N)、フッ素 (F)、炭素 (C) 及びインジウム (In) から選ばれた少なくとも 1 種であることを特徴とする付記 6 又は 7 に記載の半導体装置の製造方法。

【0041】

(付記 10)

前記第 1 の不純物拡散領域の不純物を活性化させない程度の第 1 の温度で形成できる材料を用い、前記第 1 の温度で前記第 1 のサイドウォールを形成することを特徴とする付記 6～8 のいずれか 1 項に記載の半導体装置の製造方法。

【0042】

(付記 11)

前記第1の温度が500℃～580℃の範囲内の値であることを特徴とする付記10に記載の半導体装置の製造方法。

【0043】

(付記12)

前記第3の不純物拡散領域を再結晶化させない程度の第2の温度で形成できる材料を用い、前記第2の温度で前記第2のサイドウォールを形成することを特徴とする付記6～11のいずれか1項に記載の半導体装置の製造方法。

【0044】

(付記13)

前記第2の温度が500℃～580℃の範囲内の値であることを特徴とする付記12に記載の半導体装置の製造方法。

【図面の簡単な説明】

【0045】

【図1】本発明の基本構成を説明するための概略断面図である。

【図2】本実施形態によるCMOSトランジスタの製造方法を工程順に示す概略断面図である。

【図3】図2に続き、本実施形態によるCMOSトランジスタの製造方法を工程順に示す概略断面図である。

【図4】図3に続き、本実施形態によるCMOSトランジスタの製造方法を工程順に示す概略断面図である。

【図5】図4に続き、本実施形態によるCMOSトランジスタの製造方法を工程順に示す概略断面図である。

【図6】ゲート長 L_g と閾値電圧 V_{th} との関係によるロールオフ特性を示す特性図である。

【図7】拡散抑制領域の深さと C_{ovn} との関係による C_{ov} 特性を示す特性図である。

【図8】オン電流(I_{on})とオフ電流(I_{off})との関係による $I_{on}-I_{off}$ 特性を示す特性図である。

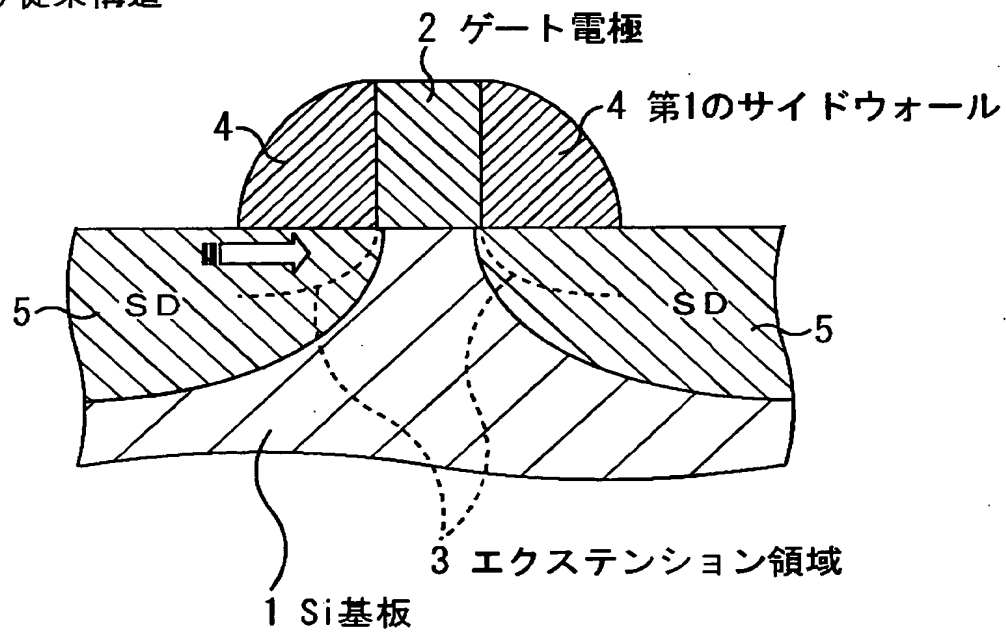
【符号の説明】

【0046】

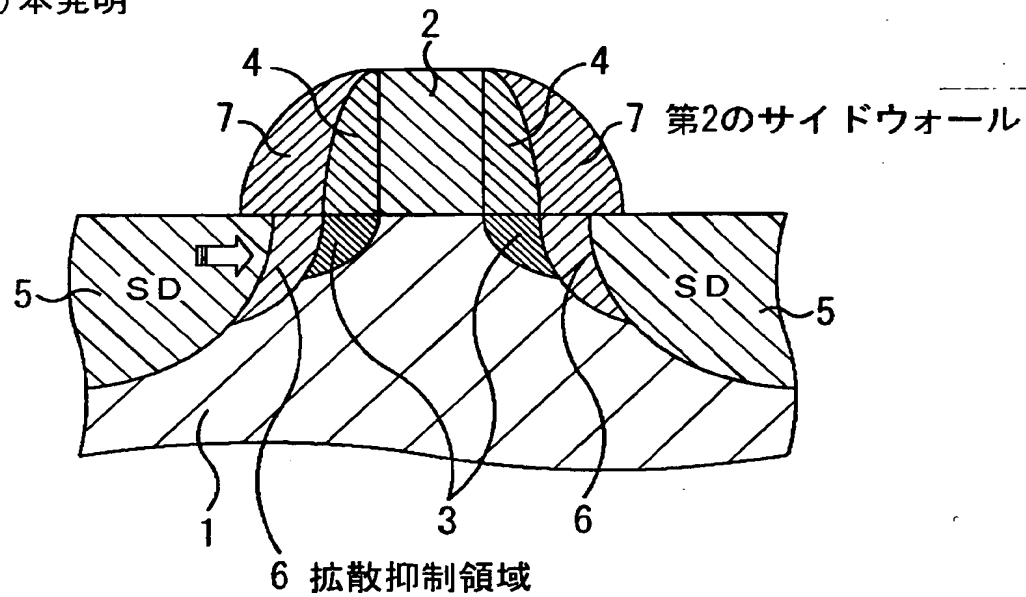
- 1, 11 シリコン半導体基板
- 2, 16 ゲート電極
- 3, 17a, 17b エクステンション領域
- 4, 19 第1のサイドウォール
- 7, 20 第2のサイドウォール
- 5 ソース／ドレイン
- 6, 20a, 20b 拡散抑制領域
- 12 素子分離構造
- 13a, 13b 活性領域
- 14a p型ウェル
- 14b n型ウェル
- 15 ゲート絶縁膜
- 18a, 18b ポケット領域
- 22a, 22b 深いソース／ドレイン
- 23 シリサイド層

【書類名】 図面
【図 1】

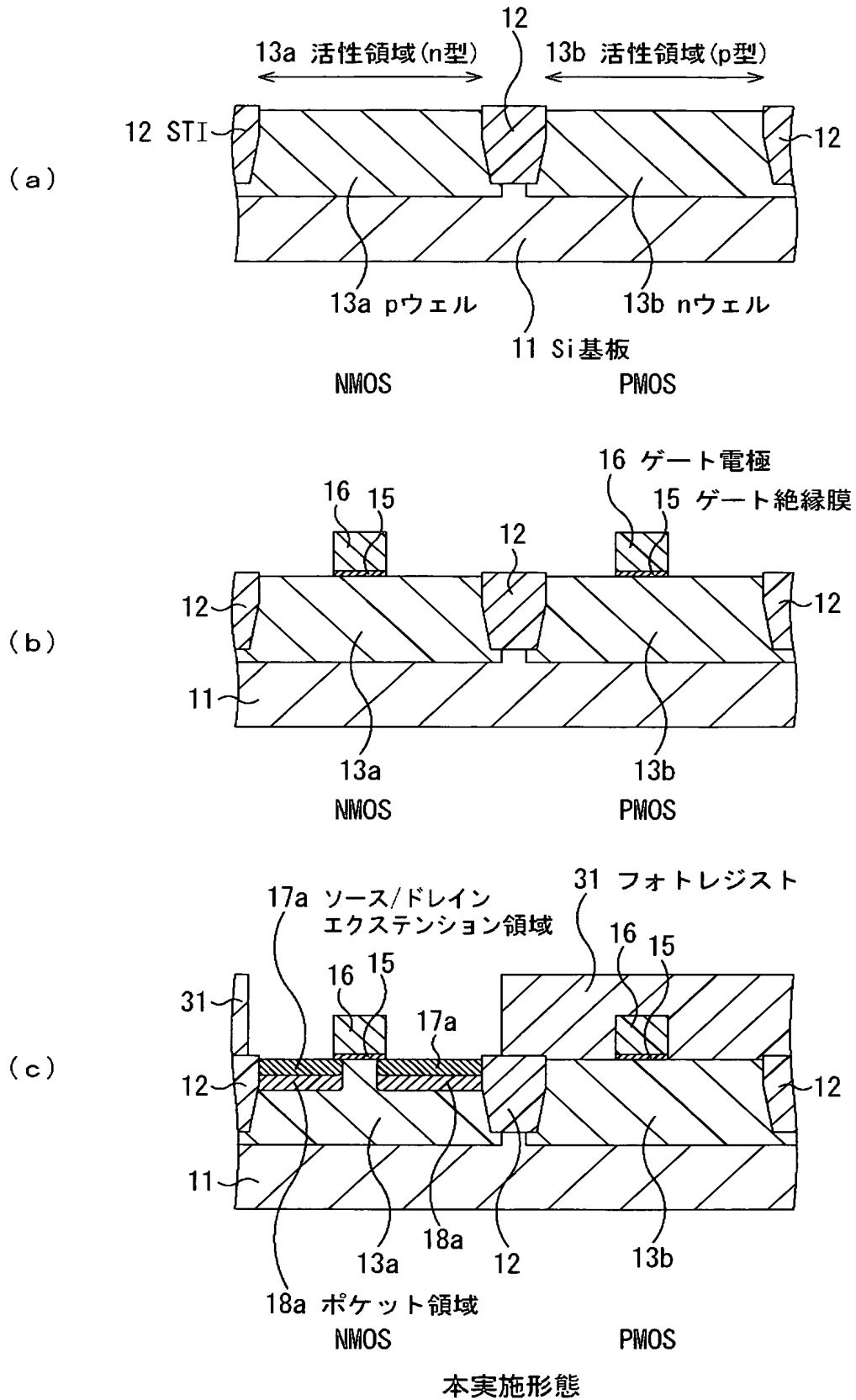
(a) 従来構造



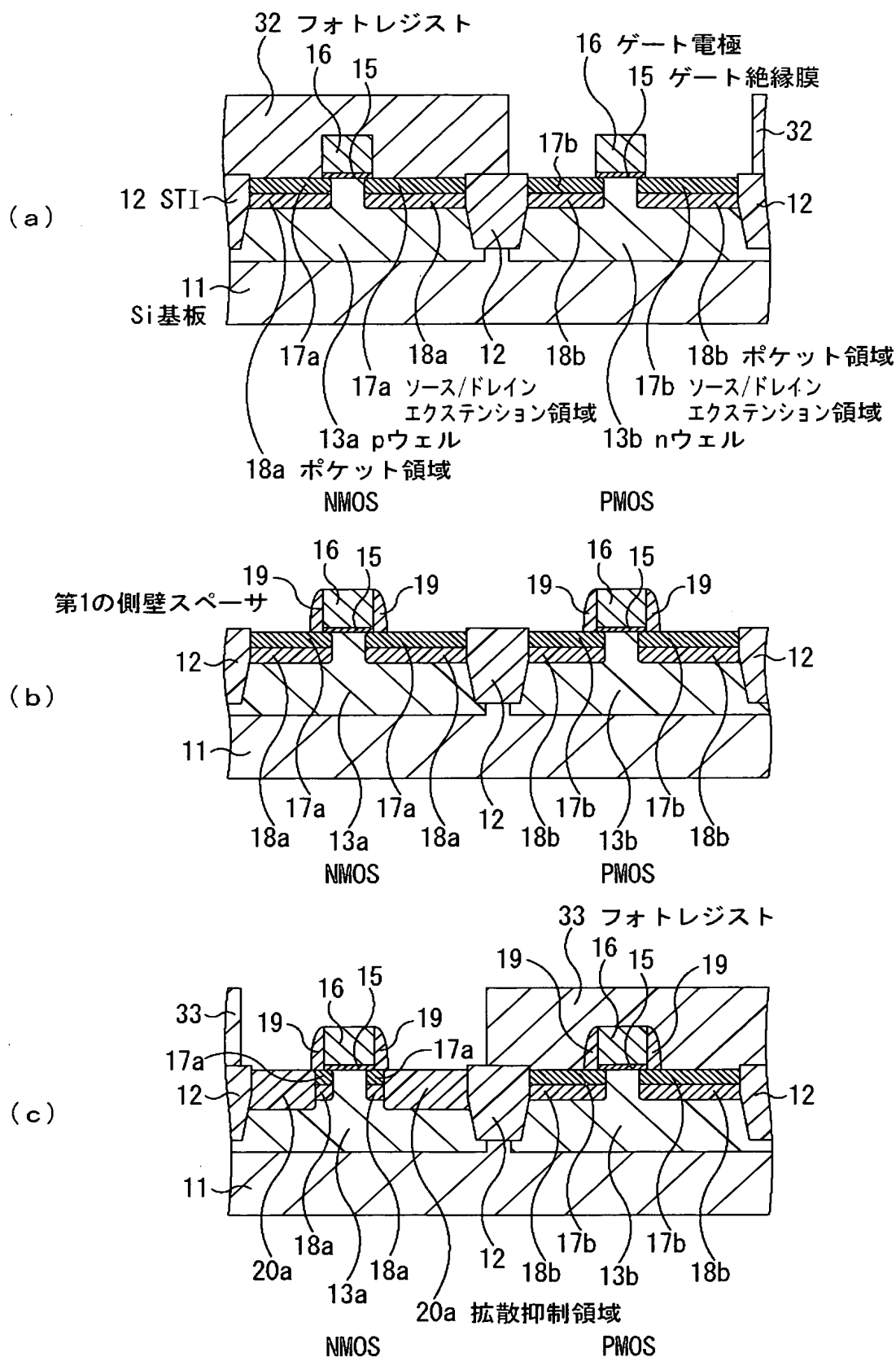
(b) 本発明



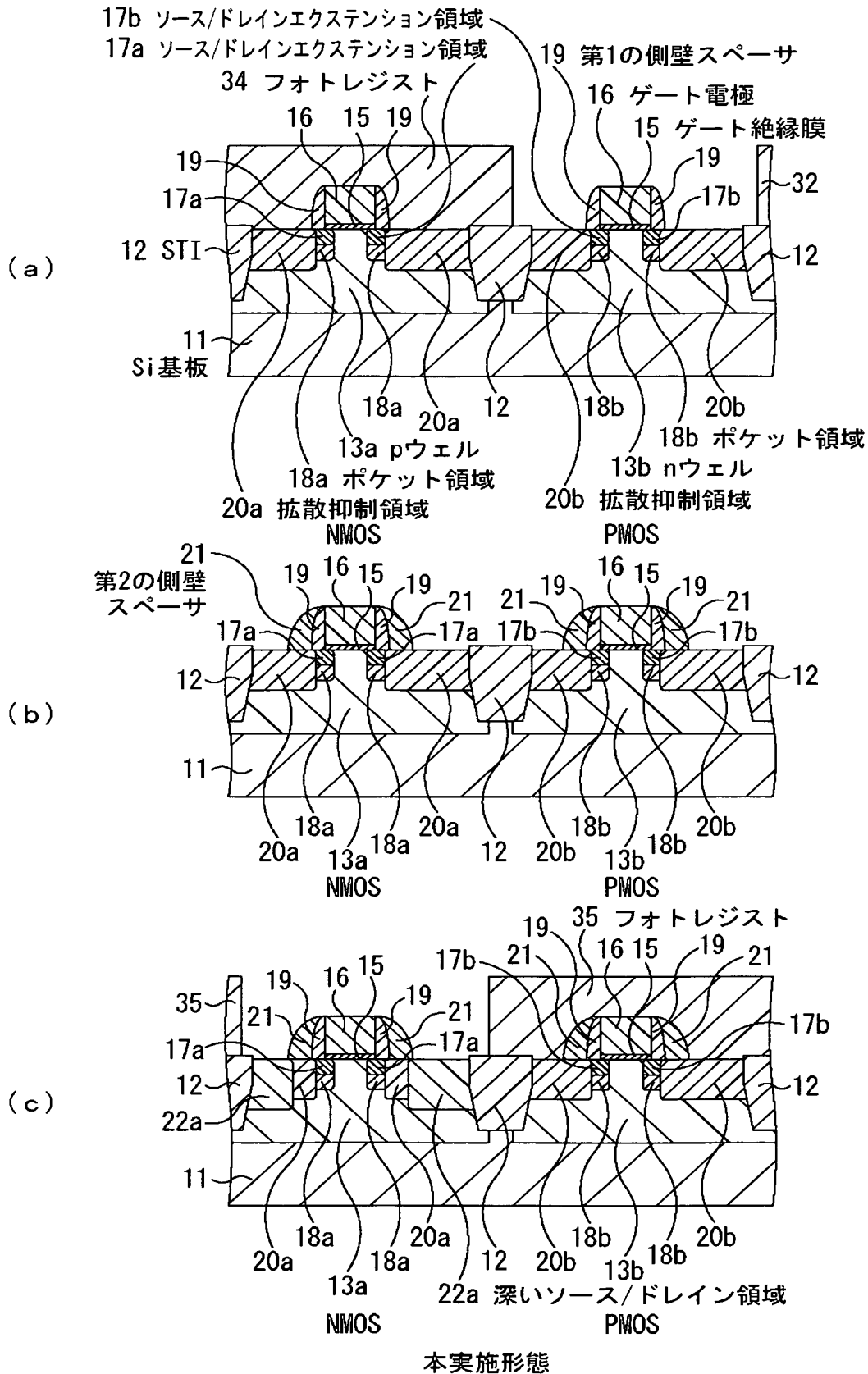
【図 2】



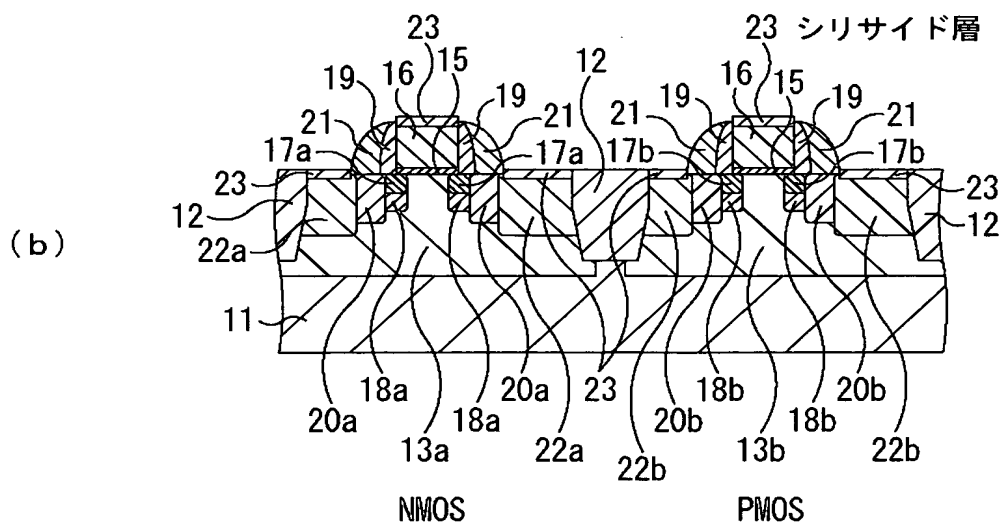
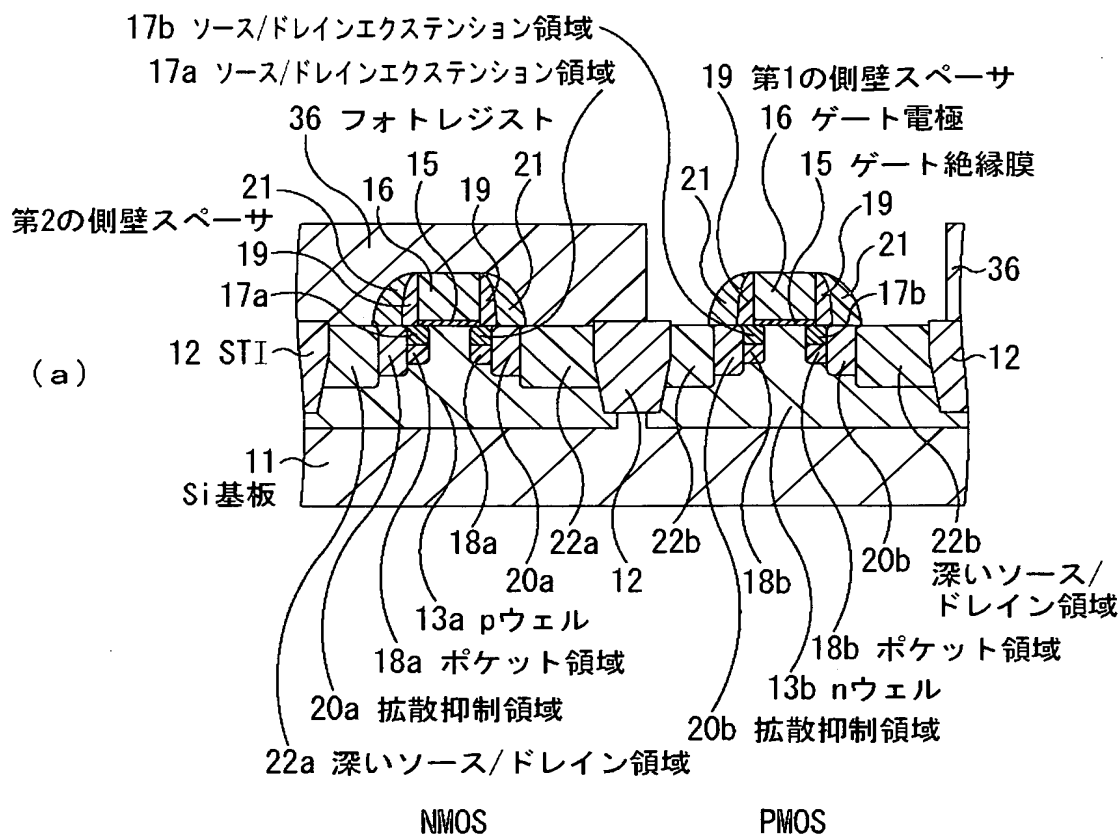
【図 3】



【図 4】

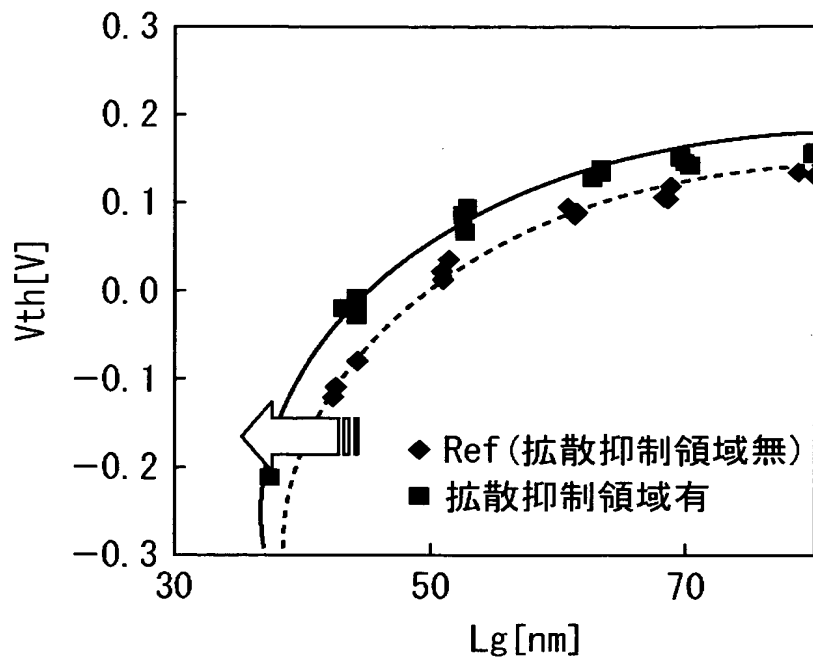


【図 5】



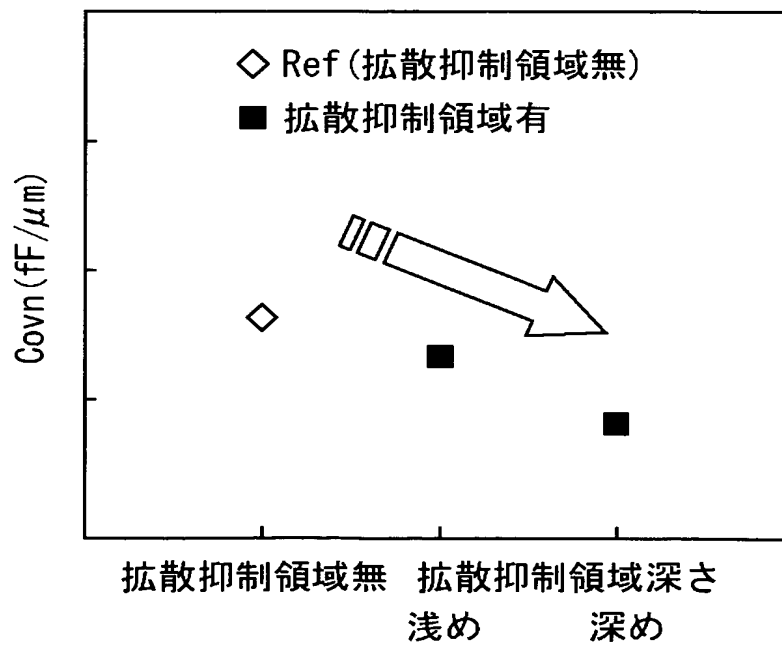
【図 6】

実施形態によるroll-off改善効果



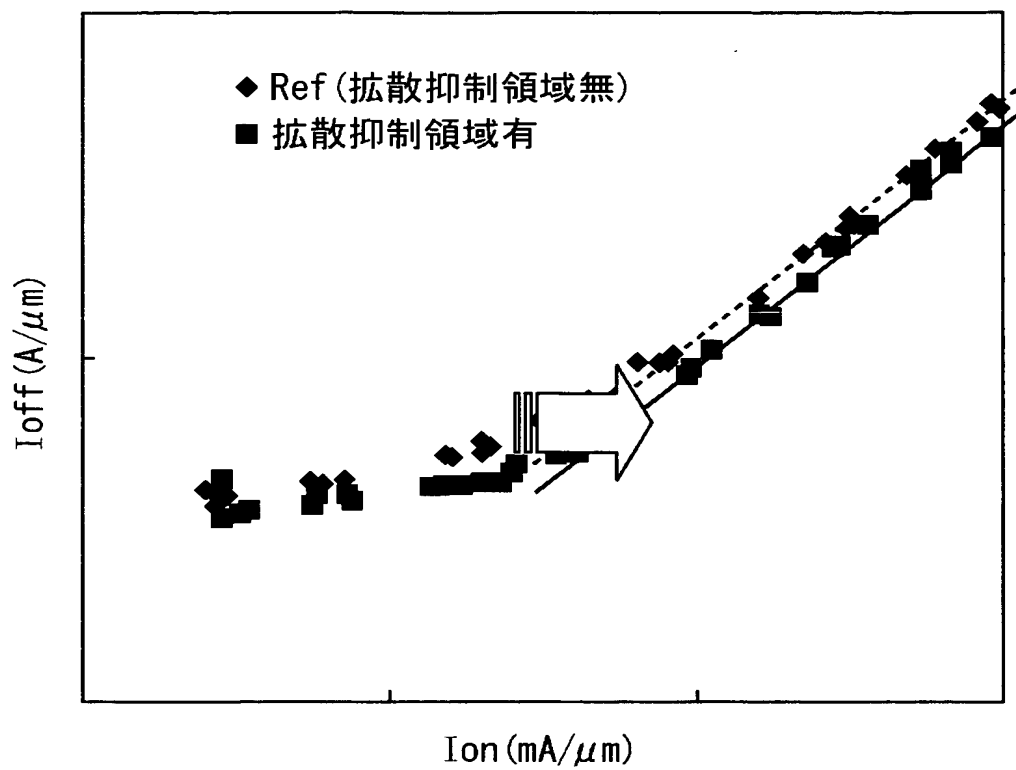
【図 7】

実施形態によるCov減少効果



【図 8】

実施形態による駆動電流改善効果



【書類名】 要約書

【要約】

【課題】 ソース／ドレインの横方向拡散を確実に抑止し、更なる微細化及び高性能化の要請を満たし、信頼性の高い半導体装置を実現する。

【解決手段】 ゲート電極 2 をマスクとしたイオン注入によりエクステンション領域 3 を形成した後、ゲート電極 2 及び第 1 のサイドウォール 4 をマスクとして、ソース／ドレイン 5 の不純物の拡散抑制機能を有する物質をイオン注入し、半導体基板 1 の表層のサイドウォール 4 に整合する部位を非晶質化してアモルファス状態の拡散抑制領域 6 を形成する。

【選択図】 図 1

特願 2 0 0 3 - 3 7 3 4 9 9

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 2 2 3]

1. 変更年月日

1 9 9 6 年 3 月 2 6 日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名

富士通株式会社